

Family list

1 family member for:

JP4056168

Derived from 1 application.

1 THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Publication Info: JP4056168 A - 1992-02-24

Data supplied from the esp@cenet database - Worldwide

Best Available Copy

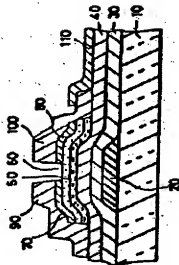
THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Patent number: JP4056168
Publication date: 1992-02-24
Inventor: SANO HIROYUKI; IMASHIRO SHINICHI; TOKO YASUO
Applicant: STANLEY ELECTRIC CO LTD
Classification:
- International: (IPC1-7): H01L29/784
- european:
Application number: JP19900163744 19900621
Priority number(s): JP19900163744 19900621

Report a data error here

Abstract of JP4056168

PURPOSE: To easily control the etching operation of a semiconductor layer, to eliminate a drop in the insulation of a gate insulating film and to enhance reliability and productivity by a method wherein the gate insulating film is formed of a three-layer laminated structure in which adjacent layers are formed of mutually different materials and the semiconductor layer is formed on it.
CONSTITUTION: A gate electrode 20 for a transistor is formed and patterned on a glass substrate 10. In addition, three layers by a first gate insulating film 30, a second gate insulating film 40 and a third gate insulating film 50 in the order from the side close to the substrate 10 are laminated on it. An amorphous silicon semiconductor layer (a-Si) 60 constituting a channel is formed on the third gate insulating film 50 so as to face the gate electrode 20. The film 50 is formed of a silicon nitride film by a plasma CVD method. When an etching operation is shifted from the semiconductor layer to the film 50, the plasma luminous peak of nitrogen is detected and an etching end point is detected. Thereby, a thin-film transistor in which a source is not short-circuited with a gate, whose insulating property is excellent and whose characteristic is stable can be manufactured with good reproducibility.



Data supplied from the esp@cenet database - Worldwide

③ 日本国特許庁(JP)
 ④ 公開特許公報(A)

① 特許出願公開
 平4-56168

⑤ Int. Cl.

⑥ 特 願 平2-163744

⑦ 出 願 平2(1990)6月21日

⑧ 公開 平成4年(1992)2月24日

H 01 L 29/78

9056-4M

H 01 L 29/78

311 G

審査請求 有 請求項の数 4 (全4頁)

⑨ 発明の名称 再配トランジスタおよびその製造方法

⑩ 特 願 平2-163744

⑪ 出 願 平2(1990)6月21日

⑫ 発 明 者 佐 野 寛 幸

神奈川県大和市南林間8-10-5-101

⑬ 発 明 者 今 誠 慎 一

神奈川県川崎市麻生区虹ヶ丘2-3-2-702

⑭ 発 明 者 部 甲 廣 矢

神奈川県横浜市長区在田南2-17-8-202

⑮ 出 願 人 スタンレー電気株式会社

東京都目黒区中目黒2丁目9番13号

⑯ 代 理 人 弁理士 高橋 俊四郎

0

5月 4日 59

1. 発明の名称

再配トランジスタおよびその製造方法

2. 特許請求の範囲

(1). 透明絶縁基板と、

前記透明絶縁基板上に形成したゲート電極層

と、

前記ゲート電極層と前記基板の上に形成した

ゲート絶縁層と、

前記ゲート絶縁層の上に形成した半導体層と、

前記半導体層の上に形成したソース／ドレイン

電極層とを有し、

前記ゲート絶縁層は前記する層が互いに異なる

材料で形成された3層の積層を含む再配トラン

ジスタ。

(2). 前記ゲート絶縁層は前記ゲート電極層に近い

順に第1絶縁層、第2絶縁層及び第3絶縁層を

含む、前記第2絶縁層が前記第3絶縁層よりも

高エッチング性に従われる材料で構成される構成

項1記載の再配トランジスタ。

(3). 透明絶縁基板上にゲート電極層を形成する

工程と、

前記ゲート電極層と前記透明絶縁基板の上に

3層の積層構造を含むゲート絶縁層を形成する

工程であって、前記3層の第1層と第2層とは

異なる材料で形成する工程と、

前記ゲート絶縁層の上に半導体層を形成する

工程と、

前記半導体層の所定領域をエッチングする工

程と、

前記半導体層の上にソース電極とドレイン電

極の層を同時に形成する工程と、

を含む再配トランジスタの製造方法。

(4). 前記ゲート絶縁層の3層の形成工程は、プラ

ズマCVD法による酸化シリコン膜で第1層を

形成し、スパッタ法による酸化シリコン膜で第

2層を形成することを含む請求項4記載の再配

トランジスタの製造方法。

ト抵抗□0、□8ゲート抵抗□40モクタリ
ゲート抵抗□8が3割削減されている。ゲ
ート電圧20Vを保持するように□8ゲート抵抗□
80にチャームを形成するアルファシリコ
ン基板(□0-1)が形成される。その
上に、コンタクトを形成するための低抵抗率の
銅(1-N+図9)をアルファシリコン□70、
□60が所定厚度でパターニングされて形成され、
その上にソースレジストとドレインレジストが
形成されることによりMOTトランジスタの一
片が完成されている。さらに、ドレインレジス
トの一層を蒸着し、ゲート電圧□80以上に口
口を形成して□3.0Vが形成される。

ここで、第2ゲートは0.40秒、第3ゲートは0.60秒に於てキャッチング後に付いた荷役荷役使用することが好ましい。例として、第2ゲートは0.40秒、第3ゲートは0.60秒に於てキャッチングより0.40秒（0.10秒）以上は0.60秒（0.10秒）以上で形成する。第2ゲートは0.60秒に於てキャッチングより0.60秒（0.10秒）以上で形成する。

(SINR) は、ブレイクダウンで示す通りである。また、レジスタは、0から7までの範囲で設定可能である。このレジスタは、0と8のレジスタの間には、ピンホール等の欠陥防止のために、レジスタを設定することができない点に注意する必要がある。

レジスタは、ブレイクダウンで示す通りである。

[illegible]

ここで、本発明の装置によって記録された
 記録データは、記録装置から、記録装置
 の外部に送られる。データは、データ
 の外部に送られる。データは、データ

[illegible]

以上、質問に就いて本説明を説明したが、本説明はこれらに因附されるものでは無い。たとひ、國々の貨物、輸送、運賃等が可成りよくなる

ଅନୁବନ୍ଧ୍ୟମାନାଂ ଶିକ୍ଷାପଦାର୍ଥମାଳା ।

(ଉତ୍ତରାଞ୍ଚଳ)

[illegible][illegible][illegible][illegible]

層間単位を安定なものを形成できる。

4. 図面の簡単な説明

第1図は本発明の実施例による可変トランジスタの断面構造図、

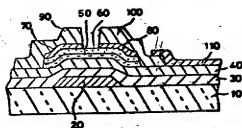
第2図は従来の技術による可変トランジスタの断面構造図である。

図において、

- | | |
|------------|----------|
| 10 | ガラス基板 |
| 20 | ゲート電極 |
| 30 | 第1ゲート絶縁層 |
| 40 | 第2ゲート絶縁層 |
| 50 | 第3ゲート絶縁層 |
| 60, 70, 80 | 半導体層 |
| 90 | ソース電極 |
| 100 | ドレイン電極 |
| 110 | 通電基板 |

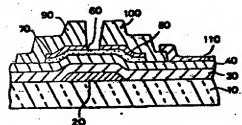
特許出願人 スタンレー電気株式会社

代理人 弁理士 高橋社郎



本発明の実施例による可変トランジスタ

第1図



従来の技術による可変トランジスタ

第2図

特許補正書（自発）

平成 4 年 7 月 27 日

特許請求の範囲

1. 半導体の種類 半導 2 年特許第 163744 号
2. 発明の名称 可変トランジスタおよびその製造方法
3. 修正する旨
不特との関係 特許出願人
住所 東京都中央区日本橋小島町 1-3
名称 (5134) スタンレー電気株式会社
4. 代理人
住所 〒103 東京都中央区日本橋小島町 1-3
日本橋ニレキビル 702 電話 556-0004
(5134) 弁理士 高橋 社郎
5. 修正の対価 明細書の発明の記載と発明の図
6. 修正の内容 別紙の図等

(1). 明細書第 8 頁第 19~20 行
「3000nm」を「300nm」と修正する。

(2). 明細書第 9 頁第 1 行
「1000~4000nm」を「100~400nm」と修正する。

(3). 明細書第 9 頁第 3 行
「500~2000nm」を「50~200nm」と修正する。

(4). 明細書第 9 頁第 4~5 行
「500~2000nm」を「50~200nm」と修正する。



方式 ①

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.